

SEMICONDUCTOR DEVICE AND MANUFACTURE THEREOF

Patent number: JP11026604
Publication date: 1999-01-29
Inventor: ISHIGAKI YOSHIYUKI; HONDA HIROMI
Applicant: MITSUBISHI ELECTRIC CORP
Classification:
- international: H01L21/8244; H01L27/11
- european:
Application number: JP19970178401 19970703
Priority number(s):

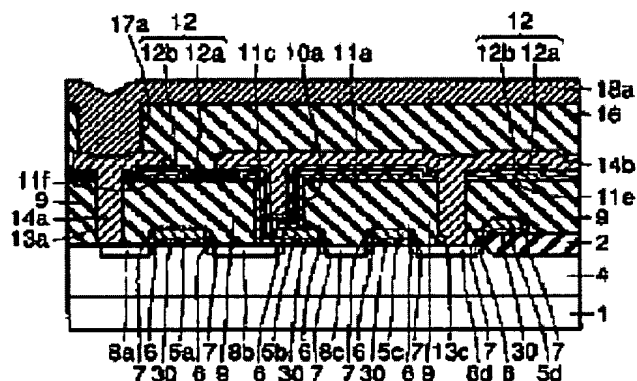
Also published as:



US6271569 (B1)
DE19750895 (A1)

Abstract of JP11026604

PROBLEM TO BE SOLVED: To provide a semiconductor device and manufacture thereof which permits the storage node capacity to be increased to improve the soft error resistance.
SOLUTION: A GND wiring 14b is formed on a first wiring layer including a storage node 11c through a dielectric film 12, thereby forming a capacity element of the storage node with the node 11c, film 12 and wiring 14b. The first wiring layers are disposed symmetrically to the center of a memory cell, and memory cells are disposed adjacent in the extensions of word lines 5a, 5b in the same layout.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-26604

(43) 公開日 平成11年(1999) 1月29日

(51) Int.Cl.⁶

H 0 1 L 21/8244
27/11

識別記号

F I

H 0 1 L 27/10

3 8 1

審査請求 未請求 請求項の数18 O L (全 23 頁)

(21) 出願番号 特願平9-178401

(22) 出願日 平成 9 年(1997) 7 月 3 日

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目 2 番 3 号

(72) 発明者 石垣 佳之

東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

(72) 発明者 本田 裕己

東京都千代田区丸の内二丁目 2 番 3 号 三
菱電機株式会社内

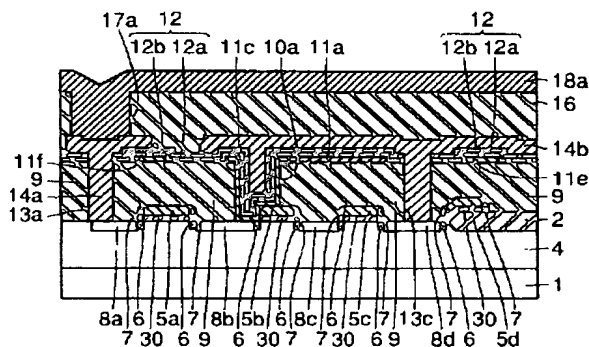
(74) 代理人 弁理士 深見 久郎 (外 3 名)

(54) 【発明の名称】 半導体装置およびその製造方法

(57) 【要約】

【課題】 記憶ノード容量を増加してソフトエラー耐性を向上することが可能な半導体装置およびその製造方法を提供する。

【解決手段】 記憶ノード部 11c、11d を含む第 1 の配線層上に誘電体膜 12 を介して GND 配線 14b を形成する。それにより、記憶ノード部 11c、11d と、誘電体膜 12 と、GND 配線 14b とによって記憶ノード部の容量素子を構成する。また、第 1 の配線層をメモリセルの中心に対して点对称に配置するとともに、メモリセルをワード線 5a、5d の延びる方向に、同一のレイアウトで隣接して複数個配置する。



【特許請求の範囲】

【請求項1】 メモリセルを含む半導体装置であって、半導体基板上に形成された、高抵抗配線部と記憶ノード部とを含む第1の配線層と、

前記第1の配線層上に誘電体膜を介在して形成されたGND配線層とを備え、

前記第1の配線層の記憶ノード部と前記GND配線層と前記誘電体膜とによって前記記憶ノード部の容量素子が構成されており、

前記第1の配線層は、前記メモリセルの中心に対して点対称に配置されており、

前記メモリセルは、ワード線の延びる方向に、同一のレイアウトで隣接して複数個配置されている、半導体装置。

【請求項2】 前記GND配線層が接続される、GND領域となる第1および第2の不純物領域をさらに備え、前記第1の不純物領域と前記第2の不純物領域とは、1つの前記メモリセル内で互いに別個独立に形成されており、

前記1つのメモリセル内に形成された前記第1および第2の不純物領域は、隣接するメモリセルのGND領域と別個に形成されている、請求項1に記載の半導体装置。

【請求項3】 前記GND配線層が接続される、GND領域となる第1および第2の不純物領域をさらに備え、前記第1および第2の不純物領域と前記ワード線とは、平面的に互いに重ならないように形成されている、請求項1に記載の半導体装置。

【請求項4】 前記第1の配線層の下方の前記半導体基板上に形成された、ゲート電極を含む第2の配線層をさらに備え、

前記第1の配線層は、前記高抵抗配線部と前記記憶ノード部とに加えてさらに電源配線部を含む、請求項1～3のいずれかに記載の半導体装置。

【請求項5】 前記第2の配線層および前記半導体基板と、前記第1の配線層との間に形成され、前記第2の配線層および前記半導体基板と、前記第1の配線層とを接続する第1のコンタクトホールを有する第1の層間絶縁層をさらに備え、

前記第1のコンタクトホールの径は、前記第1の配線層の厚みと前記誘電体膜の厚みとの和の2倍よりも大きく、かつ、前記第1の配線層の厚みと前記誘電体膜の厚みと前記GND配線層の厚みとの和の2倍よりも小さい、請求項4に記載の半導体装置。

【請求項6】 前記第1の層間絶縁膜は、前記GND配線層と、前記第1および第2の不純物領域とを接続する第2のコンタクトホールを含み、

前記第2のコンタクトホールの径は、前記GND配線層の厚みの2倍よりも小さい、請求項5に記載の半導体装置。

【請求項7】 前記誘電体膜のうち、前記記憶ノード部

の容量素子を構成する部分の厚みが他の部分の厚みよりも薄い、請求項1～6のいずれかに記載の半導体装置。

【請求項8】 前記誘電体膜は、前記第1の配線層の少なくとも前記記憶ノード部の上面、側面および下面にまで延在して形成されている、請求項1～7のいずれかに記載の半導体装置。

【請求項9】 前記GND配線層は2層構造を有する、請求項1～8のいずれかに記載の半導体装置。

【請求項10】 前記第1の配線層の下方の前記半導体基板上に形成された、ゲート電極を含む第2の配線層をさらに備え、

前記第1の配線層は、前記半導体基板と前記第2の配線層とに接触する下層と、前記下層上に形成された上層とを含み、

前記GND配線層は、前記誘電体膜を介して前記下層と前記上層との側端面を覆うように形成されている、請求項1または2に記載の半導体装置。

【請求項11】 前記下層は電源配線部を含む、請求項10に記載の半導体装置。

【請求項12】 前記上層は電源配線部を含む、請求項10に記載の半導体装置。

【請求項13】 前記上層は前記高抵抗配線部を含み、前記下層は前記上層よりも厚い厚みを有する、請求項10～12のいずれかに記載の半導体装置。

【請求項14】 前記下層と同一の層からなるビット線引出し電極を含む、請求項10に記載の半導体装置。

【請求項15】 前記第2の配線層および前記半導体基板と、前記第1の配線層との間に形成され、前記第2の配線層および前記半導体基板と、前記第1の配線層とを接続する第1のコンタクトホールを有する第1の層間絶縁層をさらに備え、

前記第1のコンタクトホールの径は、前記下層の厚みと前記上層の厚みと前記誘電体膜の厚みとの和の2倍よりも大きく、かつ、前記下層の厚みと前記上層の厚みと前記GND配線層の厚みと前記誘電体膜の厚みとの和の2倍よりも小さい、請求項10に記載の半導体装置。

【請求項16】 メモリセルを含む半導体装置の製造方法であって、

半導体基板上に、高抵抗配線部と記憶ノード部とを含む第1の配線層を、前記メモリセルの中心に対して点対称になるように形成する工程と、

前記第1の配線層上に、誘電体膜を介在して、GND配線層を形成する工程と、

前記メモリセルを、ワード線の延びる方向に、同一のレイアウトで隣接して複数個形成する工程とを備えた、半導体装置の製造方法。

【請求項17】 前記第1の配線層および前記GND配線層を形成する工程は、

前記半導体基板上に層間絶縁膜を形成する工程と、前記層間絶縁膜上に前記第1の配線層および前記誘電体

膜を順次形成した後、前記誘電体膜上に第1のGND配線層を形成する工程と、

前記第1のGND配線層と前記誘電体膜と前記層間絶縁膜とをパターンニングすることにより前記半導体基板の表面に達するコンタクトホールを形成する工程と、

前記コンタクトホールを埋込むとともに前記第1のGND配線層の上面を覆うように、第2のGND配線層を形成する工程とを含む、請求項16に記載の半導体装置の製造方法。

【請求項18】 前記第1の配線層の形成に先立って、前記半導体基板の主表面に、GND領域となる、第1の不純物領域と第2の不純物領域とを互いに別個独立に形成する工程と、

1つのメモリセル内の前記第1および第2の不純物領域を、隣接するメモリセルの前記第1および第2の不純物領域とは別個に形成する工程とをさらに備える、請求項16または17に記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置およびその製造方法に関し、より特定的には、メモリセルを有する半導体装置およびその製造方法に関する。

【0002】

【従来の技術】従来、揮発性半導体装置の一種として、SRAM (Static Random Access Memory) が知られている。SRAMでは、マトリックス (行列) 状に配置された相補型データ線 (ビット線) とワード線との交差部にメモリセルを配置する。図59は、従来のSRAMのメモリセル部を示した等価回路図であり、図60は従来のSRAMのメモリセル部を示した平面レイアウト図である。図59および図60を参照して、従来のSRAMのメモリセルは、2つのアクセストランジスタA1およびA2と、2つのドライバトランジスタD1およびD2と、2つの高抵抗負荷素子R1およびR2とによって構成される。

【0003】また、2つの高抵抗負荷素子R1およびR2と、2つのドライバトランジスタD1およびD2とによってフリップフロップ回路が構成されている。このフリップフロップ回路により、クロスカップリングさせた2つの記憶ノードN1およびN2を構成する。記憶ノードN1およびN2は、High (N1), Low (N2)、または、Low (N1), High (N2)の双安定状態を有する。この双安定状態は所定の電源電圧が与えられている限り保持し続けられる。

【0004】アクセストランジスタA1およびA2の一方のソース/ドレイン領域は、フリップフロップ回路の入出力端子である記憶ノードN1およびN2に接続される。また、アクセストランジスタA1およびA2の他方のソース/ドレイン領域はビット線に接続される。また、アクセストランジスタA1およびA2のゲート電極

はワード線に接続される。このワード線によってアクセストランジスタA1およびA2のON/OFFが制御される。

【0005】また、ドライバトランジスタD1およびD2のドレイン領域は、アクセストランジスタA1およびA2の一方のソース/ドレイン領域にそれぞれ接続されている。ドライバトランジスタD1およびD2のソース領域は、GND線 (V_{EE} 線) に接続されている。ドライバトランジスタD1のゲート電極はアクセストランジスタA2のソース/ドレイン領域に接続されており、ドライバトランジスタD2のゲート電極はアクセストランジスタA1のソース/ドレイン領域に接続されている。高抵抗負荷素子R1およびR2は、それぞれ、アクセストランジスタA1およびA2のソース/ドレイン領域に接続されている。高抵抗負荷素子R1およびR2の他方は電源線 (V_{CC} 線) に接続されている。

【0006】動作としては、データを書込むときは、ワード線 (WL) を選択してアクセストランジスタA1およびA2をONさせる。そして、所望の論理値に応じてビット線対に強制的に電圧を印加することによって、フリップフロップ回路の双安定状態を上記したいずれかの状態に設定する。

【0007】データを読み出すときは、アクセストランジスタA1およびA2をONさせる。そして、記憶ノードN1およびN2の電位をビット線に伝達する。

【0008】

【発明が解決しようとする課題】最近では、SRAMにおいてもコスト低減のために、メモリセルの占有面積を小さくする傾向にある。しかし、このようにメモリセルの占有面積を小さくするにつれ、ソフトエラー耐性の劣化が顕在化してきた。ソフトエラーとは以下のような現象をいう。パッケージ材料などの外部から α 線が入射して発生した電子・正孔対のうち、電子がメモリセルの記憶ノードに引き寄せられる。このため、メモリセルの記憶情報が反転されてランダムなエラーが生じる。このエラーをソフトエラーと呼ぶ。メモリセルの占有面積が小さくなるにつれて、メモリセルの記憶ノード部の蓄積容量Cが小さくなる。このため、記憶ノード部の蓄積電荷 ($Q=C \times V$) も小さくなる。このように記憶ノード部の蓄積電荷が小さくなると、ソフトエラーが発生しやすくなるという問題点が生じる。

【0009】図61は図60に示した従来のメモリセル部の1層目の多結晶シリコンと活性領域とを示した平面レイアウト図である。図62は、2層目の多結晶シリコンを示した平面レイアウト図である。図61および図62を参照して、この従来例では、ワード線105aおよび105dの延びる方向に線対称に2つのメモリセルが配置された場合を示している。この場合、2層目の多結晶シリコン層111a~fのレイアウトでは、隣接するメモリセルの2つの高抵抗部111aの一方端はともに

V_{CC}配線111fに接続されている。このため、2つの高抵抗部111aとV_{CC}配線111fとによって囲まれた領域の一端は開放端とはならず袋小路状となる。このような袋小路状のパターンの場合、その袋小路部近傍においてフォトレジストを正確にパターニングすることが困難であるという問題点が従来知られている。

【0010】具体的には、一方が閉じたパターンのように急激なパターンの変化を伴うようなパターンでは、この急激な変化を結像光学系が伝達できず、そのため解像力が低下する。したがって、一方が閉じたような急激なパターンの変化を伴うようなパターンでは、パターニングの際に図62に示すように、急激なパターン変化を伴う部分で、高抵抗部111aの幅が太くなるという不都合が生じる。すなわち、図62に示すように、高抵抗部111aの幅W_{HR}が袋小路部（根元部）で太くなるという不都合が生じ、その結果、高抵抗部111aの抵抗値が低下するという問題点が発生する。

【0011】このような問題点を解決するためには、高抵抗部111aの長さL_{HR}を長くする必要がある。このように高抵抗部111aの長さL_{HR}を長くすると、同一メモリセルサイズの場合、記憶ノード部111cの長さL_{NODE}が短くなる。この結果、記憶ノード部111cの平面積が小さくなり、その結果、記憶ノード部111cの容量が低下してしまうという問題点がある。このように記憶ノード部111cの容量が低下すると、上記のようにソフトエラーが発生しやすいという問題点が新たに生じる。

【0012】また、図62に示した従来のレイアウトでは、隣接するメモリセルの記憶ノード部111c間の距離D1を確保するために、メモリセルの境界に対して最小加工寸法の1/2を最低限確保しなければならない。この場合、記憶ノード部111cの幅W_{NODE}を上げる上で制約を受ける。このことによっても、記憶ノード部111cの容量を増加させるのは困難であった。

【0013】上記のように、図60～図62に示した従来のSRAMのメモリセルの平面レイアウトでは、広い記憶ノード部111aの面積を確保するのが困難であり、その結果、記憶ノード部111cの容量を増加させることが困難であった。そのため、メモリセルを縮小化させた場合、ソフトエラー耐性を向上させることが困難であった。

【0014】また、図61に示すように、2つの隣接するメモリセルを線対称に配置した場合、隣接するメモリセルの2つのドライバトランジスタのゲート電極105c間の間隔D3を確保する必要がある。そのため、隣接するメモリ間隔を狭くするのが困難であるという問題点もあった。

【0015】さらに、図60および図61に示した従来の平面レイアウトでは、GND領域108dとワード線105dとが平面的に重なるように配置されている。こ

のため、ワード線105dとGND領域108dとの間の寄生容量が大きくなり、その結果ワード線105dのRC遅延が大きくなるという問題点があった。

【0016】この発明は、上記のような課題を解決するためになされたものであり、この発明の1つの目的は、メモリセルが小さくなった場合にもソフトエラー耐性を向上させることが可能な半導体装置を提供することである。

【0017】この発明のもう1つの目的は、記憶ノード部の蓄積容量を著しく増加させることが可能な半導体装置を提供することである。

【0018】この発明のさらにもう1つの目的は、ソフトエラー耐性を向上させるとともにワード線のRC遅延を低減することが可能な半導体装置を提供することである。

【0019】この発明のもう1つの目的は、メモリセルが縮小化された場合にもソフトエラーが生じにくい半導体装置を容易に製造することが可能な半導体装置の製造方法を提供することである。

【0020】

【課題を解決するための手段】請求項1における半導体装置は、メモリセルを含む半導体装置であって、第1の配線層とGND配線層とを備えている。第1の配線層は半導体基板上に形成されており、高抵抗配線部と記憶ノード部とを含んでいる。GND配線層は、第1の配線層上に誘電体膜を介在して形成されている。第1の配線層の記憶ノード部とGND配線層と誘電体膜とによって記憶ノード部の容量素子が構成されている。第1の配線層はメモリセルの中心に対して点対称に配置されている。メモリセルはワード線の延びる方向に同一のレイアウトで隣接して複数個配置されている。

【0021】このように請求項1に記載の半導体装置では、第1の配線層の記憶ノード部とGND配線層とそれらの間に介在された誘電体膜とによって記憶ノード部の容量素子が構成されるので、メモリセルが縮小化された場合にも記憶ノード部の容量が著しく増加される。これにより、メモリセルが縮小化された場合にもソフトエラー耐性を著しく向上させることができる。また、高抵抗配線部と記憶ノード部とを含む第1の配線層を、メモリセルの中心に対して点対称に配置することにより、メモリセルを構成する左右のインバータのバランスが良くなる。その結果、データの記憶保持を安定化することができる。また、メモリセルを、ワード線の延びる方向に同一のレイアウトで隣接して複数個配置することによって、パターンに袋小路状の部分が形成されずに連続した抜きパターンとなる。これにより、袋小路状のパターンの場合にフォトレジストがパターニングしづらいという不都合を防止することができ、その結果、正確なパターニングを行なうことができる。それにより、袋小路部が存在するパターンの場合に高抵抗部の一部の幅が太くな

り、高抵抗部の抵抗値が低くなるという不都合を防止することができる。袋小路部が存在するパターンの場合に高抵抗部の抵抗値が低くなるのを防止するために、高抵抗部の長さを長くする必要があったが、本発明では、高抵抗部の長さを長くする必要がないので、高抵抗部に接続される記憶ノード部の長さを短くする必要がない。このため、本発明では、記憶ノード部の容量の低下を有効に防止することができる。

【0022】請求項2は、請求項1の構成において、GND領域となる第1および第2の不純物領域をさらに備える。その第1および第2の不純物領域にはGND配線層が接続される。また、第1の不純物領域と第2の不純物領域とは1つのメモリセル内で互いに別個独立に形成されている。1つのメモリセル内に形成された第1および第2の不純物領域は隣接するメモリセルのGND領域と別個に形成されている。このようにGND領域を構成する第1および第2の不純物領域を、隣接するメモリセルのGND領域とは別個に形成することによって、隣接するメモリセルのカラム電流（メモリセルを流れる電流）が第1および第2の不純物領域に流れ込むのが防止される。これにより、GND領域の電位が上昇するのを抑制することができ、その結果、GND領域の電位を安定化させることができる。

【0023】請求項3は、請求項1の構成において、GND配線層が接続される、GND領域となる第1および第2の不純物領域をさらに備えるように構成する。そして、その第1および第2の不純物領域と、ワード線とが平面的に互いに重ならないように形成する。このように構成することによって、ワード線が第1および第2の不純物領域と平面的に重なる場合に比べて、ワード線と第1および第2の不純物領域との間の寄生容量を低減することができる。これにより、ワード線のRC遅延を低減することができる。

【0024】請求項4は、請求項1～3のいずれかの構成において、第1の配線層の下方の半導体基板上に形成された、ゲート電極を含む第2の配線層をさらに備えるように構成する。この場合、第1の配線層は上記高抵抗配線部と記憶ノード部とに加えてさらに電源配線部を含むように構成する。

【0025】請求項5は、請求項4の構成において、第2の配線層および半導体基板と、第1の配線層との間に形成され、第2の配線層および半導体基板と第1の配線層とを接続する第1のコンタクトホールを有する第1の層間絶縁層をさらに備えるように構成する。その第1のコンタクトホールの径を、第1の配線層の厚みと誘電体膜の厚みとの和の2倍よりも大きく、第1の配線層の厚みと誘電体膜の厚みとGND配線層の厚みとの和の2倍よりも小さくする。このように、第1のコンタクトホールの径を、第1の配線層の厚みと誘電体膜の厚みとの和の2倍よりも大きくすることによって、第1のコンタ

クトホールの内側面に沿って記憶ノード部と誘電体膜とが形成され、これにより、第1のコンタクトホールの内側面に沿って記憶ノードの容量素子が形成される。その結果、記憶ノード部の容量を著しく増加させることができる。また、第1のコンタクトホールの径を、第1の配線層の厚みと誘電体膜の厚みとGND配線層の厚みとの和の2倍よりも小さくすることによって、GND配線層を形成した場合にGND配線層によって第1のコンタクトホール内を完全に埋込むことが可能となる。これにより、GND配線層の上面の平坦性を向上させることができる。その結果、後の製造工程で形成される上層のパターニングを容易に行なうことができる。

【0026】請求項6は、請求項5の構成において、第1の層間絶縁膜を、GND配線層と第1および第2の不純物領域とを接続する第2のコンタクトホールを含むように構成する。この場合、第2のコンタクトホールの径を、GND配線層の厚みの2倍よりも小さくする。このように構成することによって、GND配線層を第2のコンタクトホール内に形成した場合に、GND配線層によって第2のコンタクトホール内を完全に充填することができる。それにより、GND配線層を形成した場合にGND配線層の上面をより平坦化することができる。その結果、後に形成される上層のパターニングが容易になる。

【0027】請求項7は、請求項1～6のいずれかの構成において、誘電体膜のうち、記憶ノード部の容量素子を構成する部分の厚みが他の部分の厚みよりも薄くなるように構成する。このように構成することによって、記憶ノード部では誘電体膜の厚みを薄くして容量を増加させながら、それ以外の部分では誘電体膜の厚みを増加してエッチングストップ膜としての機能を向上させることができる。つまり、誘電体膜上に形成されるGND配線層をパターニングする際のエッチングストップとして誘電体膜の厚みの厚い部分が有効に機能する。これにより、GND配線層をパターニングする際にオーバエッチを行なった場合に誘電体膜が削られて第1の配線層が断線するという不都合を有効に回避することができる。

【0028】請求項8は、請求項1～7のいずれかの構成において、誘電体膜を、第1の配線層の少なくとも記憶ノード部の上面、側面および下面にまで延在して形成する。このように構成することによって、記憶ノード部の上面および側面のみならず下面をも容量として使用することができる。これにより、記憶ノード部の容量をより増加させることができる。

【0029】請求項9は、請求項1～8のいずれかの構成において、GND配線層を2層構造を有するように構成する。

【0030】請求項10は、請求項1または2の構成において、第1の配線層の下方の半導体基板上に形成された、ゲート電極を含む第2の配線層をさらに備えるよう

に構成する。この場合、第1の配線層を、半導体基板および第2の配線層に接触する下層と、その下層上に形成された上層とを含むように構成する。また、GND配線層を、誘電体膜を介して上記下層および上層の側端面を覆うように形成する。このように、記憶ノード部を含む第1の配線層を、下層と上層との2層構造によって形成するとともに、その下層および上層の側端面を誘電体膜を介して覆うようにGND配線層を形成することにより、第1の配線層の下層および上層の側端面も記憶ノード部の容量として使用することができる。これにより、記憶ノード部の表面積が下層および上層の側端面の長さ分だけ増加するので、より記憶ノードの容量を増加させることができる。それにより、よりソフトエラー耐性を向上させることができる。

【0031】請求項11は、請求項10の構成において、下層を電源配線部を含むように構成する。

【0032】請求項12は、請求項10の構成において、上層を電源配線部を含むように構成する。

【0033】請求項13は、請求項10～12のいずれかの構成において、上層を高抵抗配線部を含むように構成するとともに、下層を上層よりも厚くなるように構成する。このように構成することによって、厚みの薄い上層によって高抵抗配線部の抵抗値を高くすることができ、かつ、厚みの厚い下層の側端面と薄い上層の側端面とによって記憶ノードの容量を増加させることができる。

【0034】請求項14は、請求項10の構成において、下層と同一の層からなるビット線引出し電極を含むように構成する。このように構成すれば、同一の層をパターンニングすることによって第1の配線層の下層とビット線引出し電極とを同時に形成することができ、それにより製造プロセスを簡略化することができる。

【0035】請求項15は、請求項10の構成において、第2の配線層および半導体基板と、第1の配線層との間に形成され、第2の配線層および半導体基板と第1の配線層とを接続する第1のコンタクトホールを有する第1の層間絶縁膜をさらに備えるように構成する。その第1のコンタクトホールの径を、下層の厚みと上層の厚みと誘電体膜の厚みとの和の2倍よりも大きく、かつ、下層の厚みと上層の厚みとGND配線層の厚みと誘電体膜の厚みとの和の2倍よりも小さくする。このように、第1のコンタクトホールの径を、下層の厚みと上層の厚みと誘電体膜の厚みとの和の2倍よりも大きくすることによって、第1のコンタクトホールの内側面に沿って、下層および上層からなる第1の配線層と誘電体膜とが形成される。これにより、第1の配線層に含まれる記憶ノードの容量を著しく増加させることができる。また、第1のコンタクトホールの径を、下層の厚みと上層の厚みとGND配線層の厚みと誘電体膜の厚みとの和の2倍よりも小さくすることによって、GND配線層を形成した

場合に、GND配線層によって第1のコンタクトホール内をすべて充填することができる。その結果、GND配線層の上面を平坦化することができる。それにより、後のプロセスにおいてGND配線層の上方に配線層を形成した場合にその配線層のパターニングが容易になる。

【0036】請求項16は、メモリセルを含む半導体装置の製造方法であって、以下の工程を備える。半導体基板上に、高抵抗配線部と記憶ノード部とを含む第1の配線層をメモリセルの中心に対して点対称になるように形成する。第1の配線層上に、誘電体膜を介在して、GND配線層を形成する。また、メモリセルを、ワード線の延びる方向に、同一のレイアウトで隣接して複数個形成する。請求項16に記載の製造方法では、このように、記憶ノード部を含む第1の配線層上に誘電体膜を介在してGND配線層を形成することによって、その記憶ノード部とGND配線層と誘電体膜とによって記憶ノード部の容量素子が構成される。これにより、記憶ノード部の容量を著しく増加させることができる。また、第1の配線層をメモリセルの中心に対して点対称になるように形成することによって、メモリセルを構成する左右のインバータのバランスが良くなり、この結果、記憶保持特性を安定化させることができる。また、メモリセルを、ワード線の延びる方向に、同一のレイアウトで隣接して複数個形成することによって、形成されるパターンが連続した抜きパターンになる。これにより、パターンが袋小路状になる場合に比べて、フォトリソストのパターニングが容易となり、その結果、高抵抗部のパターニングの際に高抵抗部の幅が大きくなるという不都合を防止することができる。

【0037】請求項17は、請求項16の構成において、上記第1の配線層およびGND配線層を形成する工程が以下の工程を含むように構成する。まず、半導体基板上に層間絶縁膜を形成する。そしてその層間絶縁膜上に第1の配線層および誘電体膜を順次形成した後、その誘電体膜上に第1のGND配線層を形成する。第1のGND配線層と誘電体膜と層間絶縁膜とをパターンニングすることにより半導体基板の表面に達するコンタクトホールを形成する。コンタクトホールを埋込むとともに第1の配線層の上面を覆うように、第2のGND配線層を形成する。このように、コンタクトホール形成前に第1のGND配線層を形成することによって、コンタクトホールを形成した後には基板表面の自然酸化膜を除去するエッチングを行なう際、誘電体膜が第1のGND配線層によって保護される。これにより、そのエッチングによって誘電体膜の膜厚が薄くなるのを防止することができ、それにより記憶ノードの容量を安定して形成することができる。

【0038】請求項18は、請求項16または17の構成において、第1の配線層の形成に先立って、以下の工程を行なう。すなわち、半導体基板の主表面に、GND

領域となる第1の不純物領域と第2の不純物領域とを互いに別個独立に形成する。1つのメモリセル内の第1および第2の不純物領域を隣接するメモリセルの第1および第2の不純物領域とは別個に形成する。このように、1つのメモリセル内の第1および第2の不純物領域を隣接するメモリセルの第1および第2の不純物領域とは別個に形成することにより、1つのメモリセルの第1および第2の不純物領域に、隣接するメモリセルから電流が流れ込まないので、GND電位が上昇するのを抑制することができる。

【0039】

【発明の実施の形態】以下、本発明の実施の形態を図面に基づいて説明する。

【0040】（実施の形態1）図1は本発明の実施の形態1によるSRAMのメモリセル部の平面レイアウト図であり、図2は図1の100-100線に沿った断面図である。図3および図4は、実施の形態1によるメモリセルを複数個配置する場合のレイアウトを示した平面図である。まず、図1および図2を参照して、実施の形態1によるSRAMのメモリセル部の断面構造について説明する。

【0041】この実施の形態1によるメモリセルでは、N⁺型シリコン基板1の表面にP⁻型ウェル領域4が形成されている。また、P⁻型ウェル領域4の表面の所定領域には素子分離のためのフィールド絶縁膜2が形成されている。フィールド絶縁膜2によって囲まれる活性領域には、所定の間隔を隔ててN⁺型ソース/ドレイン領域8a、8b、8cおよび8dが形成されている。N⁺型ソース/ドレイン領域8a～8dのチャネル領域側には、N⁻型ソース/ドレイン領域6が形成されている。N⁻型ソース/ドレイン領域6と、N⁺型ソース/ドレイン領域8a～8dとによって、LDD（Lightly Doped Drain）構造のソース/ドレイン領域が構成される。

【0042】ソース/ドレイン領域8aと8bとの間に位置するチャネル領域上にはゲート絶縁膜30を介してワード線5aが形成されている。N⁺型ソース/ドレイン領域8bと8cとの間に位置するチャネル領域上にはゲート絶縁膜30を介してドライバトランジスタのゲート電極5bが形成されている。N⁺型ソース/ドレイン領域8cと8dとの間に位置するチャネル領域上にはゲート絶縁膜30を介してドライバトランジスタのゲート電極5cが形成されている。またフィールド絶縁膜2上にはゲート絶縁膜30を介してワード線5dが形成されている。ワード線5aおよび5dと、ゲート電極5bおよび5cとの側表面にはサイドウォール酸化膜7が形成されている。また、全面を覆うように、SiO₂膜からなる層間絶縁膜9が形成されている。層間絶縁膜9の所定領域にはコンタクトホール13a、10aおよび10cがそれぞれ形成されている。

【0043】コンタクトホール13a内には、N⁺型ソ

ース/ドレイン領域8aに接触するとともにコンタクトホール13a内を充填するようにビット線コンタクトパッド14aが形成されている。また、コンタクトホール10aの内側面に沿って、N⁺型ソース/ドレイン領域8bおよびゲート電極5bに接触するように記憶ノード部11cが形成されている。記憶ノード部11cと連続するように高抵抗部11aが形成されている。高抵抗部11aと記憶ノード部11cとに連続するようにV_{cc}配線部11e、11fも層間絶縁膜9の上部表面上に形成されている。記憶ノード部11cと高抵抗部11aとV_{cc}配線部11e、11fとは、200～1000Å程度の膜厚を有する同一の多結晶シリコン膜からなる。

【0044】記憶ノード部11cと高抵抗部11aと層間絶縁膜9の上部表面とを覆うように誘電体膜12が形成されている。誘電体膜12は、シリコン窒化膜（Si₃N₄）12aと、シリコン酸化膜（SiO₂またはSiON）12bとの2層によって構成されている。コンタクトホール10a内を充填するとともに、コンタクトホール13c内でN⁺型ソース/ドレイン領域8dに電氣的に接触するようにGND配線14bが形成されている。ビット線コンタクトパッド14aとGND配線14bとは、1000～2000Å程度の膜厚を有する同一の多結晶シリコン膜をパターニングすることによって形成されている。

【0045】また、ビット線コンタクトパッド14aとGND配線14bと誘電体膜12とを覆うように層間絶縁膜16が形成されている。層間絶縁膜16の、ビット線コンタクトパッド14a上に位置する領域にはビット線コンタクトホール17aが形成されている。そのビット線コンタクトホール17a内でビット線コンタクトパッド14aに電氣的に接触するとともに層間絶縁膜16の上部表面上に沿って延びるようにビット線18aが形成されている。ビット線18aはアルミニウムなどからなる第1メタル配線によって形成されている。図2では、ビット線18aのみ示されているが、実際には、図1に示すように、1つのメモリセル内にビット線18aと18bとが間隔を隔てて互いに平行に延びるように形成されている。

【0046】上記のように、実施の形態1によるSRAMのメモリセルでは、コンタクトホール10aの内側面に沿うように記憶ノード部11cが形成されるとともに、その記憶ノード部11cの表面を覆うように誘電体膜12が形成される。そして、コンタクトホール10a内の誘電体膜12の表面を覆うようにGND配線14bが形成される。これにより、コンタクトホール10a内の内側表面に沿って、記憶ノード部11cと誘電体膜12とGND配線14bとによってキャパシタが構成される。その結果、記憶ノード部11cの容量を著しく増加させることができる。それにより、メモリセルサイズが縮小化された場合にも、ソフトエラー耐性を著しく向上

させることができる。

【0047】また、実施の形態1によるメモリセルでは、図3および図4に示すように、メモリセルは、ワード線5aおよび5dの延びる方向に、同一のレイアウトで隣接して複数個配置されている。この場合の効果について図5および図6を参照して以下に説明する。図5は、活性領域と、1層目の多結晶シリコン層からなるワード線およびゲート電極の配置を示しており、図6は2層目の多結晶シリコンからなる記憶ノード部と高抵抗部と電源配線部との配置を示している。図5および図6に示すように、本発明では、ワード線5aおよび5dの延びる方向に、同一のレイアウトでメモリセルが隣接して形成されている。これにより、図61および図62に示した従来の場合と異なり、2層目の多結晶シリコンのパターンが高抵抗部において袋小路状のパターンにはならず連続した抜きパターンになる。これにより、図62に示した場合と異なり、フォトリソのパターンニングが容易になるという効果がある。

【0048】すなわち、図6に示した実施の形態1によるメモリセルの配置では、袋小路部がなく連続した抜きパターンになるため、解像力が低下するという不都合が生じない。その結果、良好にパターンニングを行なうことができる。その結果、図6に示す高抵抗部11aも設計どおりの寸法に正確に形成することができ、図62の場合のような高抵抗部の抵抗値が低下するという問題も解消される。その結果、より広い記憶ノード部11cの面積を確保することができる。これにより、記憶ノード部の容量が低下するのを有効に防止することができる。

【0049】また、実施の形態では、図6に示すように、記憶ノード部11cおよび11dと、高抵抗部11aおよび11bとを、メモリセルの中心に対して点対称に配置することによって、メモリセルを構成する左右のインバータのバランスが良くなる。その結果、記憶保持特性を安定化させることができる。また、本実施の形態では、図6に示すように、メモリセルを同一レイアウトで横方向に隣接して配置することによって、図62に示した場合と異なり、記憶ノード部11cと隣接するメモリセルの高抵抗部11bとの間の距離D2を最小加工寸法で形成すればよい。このため、図62に示した従来の場合のように、隣接するメモリセルの記憶ノード部11c間のスペースを確保するために記憶ノード部11cの長さ W_{NODE} が制限されることがない。つまり、図6に示したような配置を行なうことによって、記憶ノード部11cの横方向の長さ W_{NODE} を図62に示した従来の場合に比べてより長くすることが可能となる。これにより、記憶ノード部11cの面積を増加させることができ、その分記憶ノードの容量を増加させることができる。

【0050】また、図5に示した実施の形態1による活性領域3の平面形状によって、ドライバトランジスタの

活性領域の幅WDを大きくとることができる。それにより、ドライバトランジスタの電流量が増加し、その結果、セルレシオと呼ばれるドライバトランジスタとアクセストランジスタとのコンダクタンス比（電流比）を大きくすることができる。それにより、インバータのゲインを大きくすることができ、インバータ出力の遷移部分の傾きが鋭くなるので、メモリセル動作の安定化を図ることが可能である。

【0051】また、図6に示したようなレイアウトでは、1つのメモリセル内の記憶ノード部11cと隣接するメモリセル内の記憶ノード部11dとが図62の場合と異なり、ずれて配置されている。このため、1つのメモリセル内の記憶ノード部11cと隣接するメモリセル内の記憶ノード部11dとの最も近接して対向する部分の面積が小さくなる。これにより、1つのメモリセル内の記憶ノード部11cと隣接するメモリセル内の記憶ノード部11dとが、導電性微小異物やフォトリソの現像不良によるパターンニング不良などによりショートする確率を低減することができ、この種の不良が発生するのを防止することができる。

【0052】また、本実施の形態では、図1に示したGND配線14bを、上下および横方向に隣接するメモリ間で接続するように構成する。これにより、メモリセルのGND電位をより安定化することができ、その結果セル動作も安定化することができる。

【0053】また、本実施の形態では、GND領域を構成するN⁺型ソース／ドレイン領域8dを、図5に示すように、1つのメモリセル内で別個独立に形成するとともに、隣接するメモリセルのGND領域とも別個独立に形成する。これにより、GND領域を隣接するメモリセルと共有しないので、隣接するメモリセルのカラム電流（メモリセルを流れる電流）がGND領域を構成するN⁺型ソース／ドレイン領域8dに流れ込まない。それにより、GND電位が上昇するのを有効に抑制することができ、その結果、GND電位の安定化を図ることができる。また、本実施の形態では、図2に示すように、コンタクトホール10aの直径を、記憶ノード部11cの厚みと誘電体膜12の厚みとの和の2倍よりも大きく、かつ、記憶ノード部11cの厚みと誘電体膜12の厚みとGND配線層14bの厚みとの和の2倍よりも小さく設定する。このように、記憶ノード部11cの厚みと誘電体膜12の厚みとの和の2倍よりもコンタクトホール10aの直径を大きくすることによって、コンタクトホール10aの内側面に沿って記憶ノード部11cおよび誘電体膜12が形成される。その結果、コンタクトホール10aの内側面に沿って、記憶ノード部11cと誘電体膜12とGND配線14bとからなるキャパシタを形成することができ、それにより、記憶ノード部11cの容量を著しく増加させることができる。その一方、コンタクトホール10aを、記憶ノード部11cの厚みと誘電

体膜12の厚みとGND配線14bの厚みとの和の2倍よりも小さくすることによって、GND配線14bを形成した場合に、コンタクトホール10a内をGND配線14bによって充填することができる。これにより、GND配線14bの上部表面を平坦化することができ、その結果、GND配線14bの上層を形成する際のパターニングが容易になる。

【0054】また、図2に示したコンタクトホール13cの直径は、GND配線14bの厚みの2倍よりも小さくすることが望ましい。このように構成することにより、GND配線14bを形成する際にコンタクトホール13cを完全に充填することができる。その結果、上層のパターニングが容易になる。

【0055】また、本実施の形態では、図2および図5に示すように、ワード線5dと、GND領域を構成するN⁺型ソース/ドレイン領域8dとが平面的に重ならないように形成されている。つまり、ワード線5dの下にはフィールド絶縁膜2が形成されている。このため、ワード線5d下にゲート絶縁膜30を介してN⁺型ソース/ドレイン領域8dが形成されている場合に比べて、ワード線5dの寄生容量を低減することができる。その結果、ワード線5dのRC遅延を低減することができる。

【0056】なお、図2に示したSiO₂膜からなる層間絶縁膜9の膜厚はできるだけ厚い方が望ましい。層間絶縁膜9の膜厚を厚くすることによって、コンタクトホール10aの側面に沿って形成される記憶ノード部11cの長さが長くなり、これにより、記憶ノード部11cの容量をその分増加させることができる。

【0057】次に、図7～図16を参照して、実施の形態1によるSRAMのメモリセルの製造プロセスについて説明する。なお、図7、図9、図11、図13、図15の100～100線に沿った断面図がそれぞれ図8、図10、図12、図14、図16に示される。まず、図7および図8に示すように、N⁻型シリコン基板1上に、たとえばLOCOS (Local Oxidation of Silicon) 法を用いてSiO₂膜からなる2000～5000Å程度の膜厚を有するフィールド絶縁膜2を形成する。このフィールド絶縁膜2は、たとえば、SiO₂膜(図示せず)をパッド膜とし、その上に堆積されたSi₃N₄膜(図示せず)を耐酸化性マスクとして用いて選択的に熱酸化することにより形成する。

【0058】その後、パッド膜およびSi₃N₄膜を除去することによって、N⁻型シリコン基板1の表面の活性領域3を露出させる。この後、N⁻型シリコン基板1の主表面に、たとえばボロンなどのP型不純物を200～700KeVで、 $1 \times 10^{12} \sim 1 \times 10^{13} \text{ cm}^{-2}$ 程度で注入する。さらに、ボロンなどのP型不純物を30～70KeV程度で $3 \times 10^{12} \text{ cm}^{-2}$ 程度注入することにより、アクセストランジスタおよびドライバトランジスタのしきい値電圧の設定を行なう。このようにして、N

-型シリコン基板1の主表面に、 $10^{16} \sim 10^{18} / \text{cm}^3$ 程度の不純物濃度を有するP⁻型ウェル領域4が形成される。

【0059】次に、図9および図10に示すように、N⁻型シリコン基板1の表面を熱酸化することによって、SiO₂膜からなる約40～100Åの膜厚を有するゲート絶縁膜30を形成する。そのゲート絶縁膜30上に、LPCVD (Low Pressure Chemical Vapor Deposition) 法を用いて、たとえば、ホスフィン(PH₃)などのガスを混入することによって、リン濃度約 $1.0 \sim 8.0 \times 10^{20} \text{ cm}^{-3}$ で500～2000Å程度の厚みを有する、リンドープト多結晶シリコン膜を堆積する。このリンドープト多結晶シリコン膜は第1層目の多結晶シリコン膜を構成する。

【0060】そして、フォトリソグラフィ技術と反応性イオンエッチング(Reactive Ion Etching: RIE)法とを用いて、上記したリンドープト多結晶シリコン膜とその下のゲート絶縁層とをパターニングする。これにより、ワード線5a、5dと、ドライバトランジスタのゲート電極5b、5cと、ゲート絶縁膜30とを形成する。なお、ワード線5a、5dと、ゲート電極5bおよび5cとを、たとえばタングステンシリサイド(WSi₂)膜などの金属シリサイド膜と、リンドープト多結晶シリコン膜とからなるいわゆるポリサイド配線によって形成してもよい。

【0061】この後、ゲート電極5bおよび5cと、ワード線5aおよび5dとをマスクとして、N⁻型シリコン基板1の表面に、砒素(As)を30～70KeV程度で45°の注入角度でウェハを回転させながら、 $1.0 \sim 5.0 \times 10^{13} \text{ cm}^{-2}$ のドーズ量で注入する。これにより、 $10^{17} \sim 10^{19} / \text{cm}^3$ 程度の不純物濃度を有するN⁻型ソース/ドレイン領域6を形成する。さらに、全面に、LPCVD法を用いて500～2000Å程度の膜厚でSiO₂膜(図示せず)を堆積した後、そのSiO₂膜をRIE法を用いて異方性エッチングする。これにより、ワード線5aおよび5dとゲート電極5bおよび5cとの側面に、500～2000Å程度の幅のサイドウォール酸化膜7を形成する。

【0062】この後、ゲート電極5bおよび5cとワード線5aおよび5dと、サイドウォール酸化膜7とをマスクとして、N⁻型シリコン基板1の主表面に、砒素(As)を50KeVで $1.0 \sim 5.0 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量で注入する。これにより、N⁺型ソース/ドレイン領域8a～8dを形成する。このN⁺型ソース/ドレイン領域は $10^{20} \sim 10^{21} / \text{cm}^3$ 程度の不純物濃度を有する。このようにして、低濃度のN⁻型ソース/ドレイン領域6と、高濃度のN⁺型ソース/ドレイン領域8a～8dとからなる、LDD構造のソース/ドレイン領域が形成される。

【0063】次に、図11および図12に示すように、

全面にLPCVD法を用いて1000~10000Å程度の厚みを有するSiO₂膜からなる層間絶縁膜9を形成する。フォトリソグラフィ技術とRIE法とを用いて、層間絶縁膜9の所定領域を選択的に除去することによって、N⁺型ソース/ドレイン領域8bとゲート電極5bおよび5cとの一部を露出させるようなコンタクトホール10aと10bとを形成する。

【0064】そして、その露出されたゲート電極5bおよび5cの上部表面とソース/ドレイン領域8bの表面とに形成された自然酸化膜を、フッ酸(HF)などを用いて除去する。

【0065】その後、LPCVD法を用いて、200~1000Å程度の膜厚を有する第2層目の多結晶シリコン膜(図示せず)を堆積した後、フォトリソグラフィ技術とRIE法とを用いて、パターニングする。この後、たとえば、リン(P)を30KeVで $1.0 \times 10^{12} \text{ cm}^{-2} \sim 1.0 \times 10^{14} \text{ cm}^{-2}$ 程度のドーズ量で第2層目の多結晶シリコン膜にイオン注入する。

【0066】さらに、図13および図14に示すように、フォトリソグラフィ技術を用いて所定の形状にパターニングしたフォトレジスト19を形成する。フォトレジスト19をマスクとして、たとえば砒素(As)を20KeV程度で $1.0 \times 10^{14} \sim 1.0 \times 10^{15} \text{ cm}^{-2}$ 程度のドーズ量で第2層目の多結晶シリコン膜に注入することによって、低い抵抗値を有する、記憶ノード部11c、11dとV_{cc}配線部11e、11fとを形成する。フォトレジスト19で覆われた部分はAsが注入されないので、高い抵抗値を有する高抵抗部11aおよび11bとなる。この高抵抗部11aおよび11bは、約100MΩ~10TΩ/本の抵抗値、低抵抗部(記憶ノード部11cおよび11d、V_{cc}配線部11eおよび11f)は、約1kΩ~100kΩ/□のシート抵抗値を有する。なお、記憶ノード部11cおよび11dによって、ドライバトランジスタのゲート電極5bおよび5cは、N⁺型ソース/ドレイン領域8bに接続される。

【0067】この後、図15および図16に示すように、たとえばLPCVD法を用いて、50~200Å程度の厚みを有するシリコン窒化膜(Si₃N₄)12aを堆積する。そして、たとえば、約750~900℃の温度条件下で水素雰囲気中でこのシリコン酸化膜12aの表面を酸化することによって、シリコン酸化膜(SiO₂またはSiON)12bを形成する。これにより、シリコン窒化膜12aとシリコン酸化膜12bとからなる誘電体膜12を形成する。なお、誘電体膜12は、Si₃N₄膜12a/SiO₂膜12bの2層膜に限らず、SiO₂膜またはSi₃N₄膜などからなる単層膜を用いてもよいし、SiO₂膜/Si₃N₄膜/SiO₂膜などの複合膜やその他の誘電率の高い高誘電体膜を用いてもよい。

【0068】この後、フォトリソグラフィ技術とRIE

法とを用いてビット線直接コンタクトホール13aおよび13bと、GND直接コンタクトホール13cおよび13dとを形成する。

【0069】そして、ビット線直接コンタクトホール13a、13b内に露出したN⁺型ソース/ドレイン領域8a上と、GND直接コンタクトホール13c、13d内に露出したN⁺型ソース/ドレイン領域8bの表面上とに形成された自然酸化膜を、フッ酸(HF)などを用いて除去する。その後、LPCVD法を用いて第3層目の多結晶シリコン膜となるリンドープト多結晶シリコン膜(図示せず)を形成する。このリンドープト多結晶シリコン膜は、1000~2000Å程度の厚みで、リン濃度を、 $1.0 \sim 8.0 \times 10^{20} \text{ cm}^{-3}$ 程度になるように形成する。そして、フォトリソグラフィ技術とRIE法とを用いてそのリンドープト多結晶シリコン膜をパターニングすることによって、ビット線コンタクトパッド14a、14cと、GND配線14bとを形成する。

【0070】なお、本実施の形態では、ビット線コンタクトパッド14a、14cおよびGND配線14bを、リンドープト多結晶シリコン膜のみによって形成したが、本発明はこれに限らず、たとえばタングステンシリサイド膜などの金属シリサイド膜とリンドープト多結晶シリコン膜とからなるいわゆるポリサイド配線を用いてもよい。

【0071】この後、通常のLSIと同様、図1および図2に示したように、層間絶縁膜16を形成した後、その層間絶縁膜16の所定領域にビット線コンタクトホール17aおよび17bを形成する。そして、そのビット線コンタクトホール17aおよび17bを介してN⁺型ソース/ドレイン領域8aに電氣的に接続するように、アルミニウム配線からなるビット線18aおよび18bを形成する。

【0072】このようにして、実施の形態1によるSRAMのメモリセルは完成される。

(実施の形態2) 図17~図19は、実施の形態2によるメモリセル部の製造プロセスを説明するための平面レイアウト図および断面図である。図20は、本発明の実施の形態2によるSRAMのメモリセル部の平面レイアウト図であり、図21は図20の100-100線に沿った断面図である。まず、図21を参照して、実施の形態2による構造について説明する。この実施の形態2は、基本的には図2に示した実施の形態1による構造と同じである。ただし、実施の形態2では、V_{cc}配線11eおよび11fを覆うようにSiO₂膜20が形成されている。そして、このSiO₂膜20を覆うように、誘電体膜12が形成されている。このように、第2層目の多結晶シリコン膜であるV_{cc}配線11eおよび11fを覆うように、SiO₂膜20および誘電体膜12を形成することによって、誘電体膜12上に形成される第3の多結晶シリコン膜をパターニングする際のエッチング時

に、オーバエッチングした場合誘電体膜12および SiO_2 膜がエッチングストップ膜となる。この場合、エッチングストップ膜が誘電体膜12のみの場合に比べて、オーバエッチングを行なった場合にもエッチングストップ膜がなくなるのを有効に防止することができる。これにより、オーバエッチングを行なった場合にエッチングストップ膜が消失して第2層目の多結晶シリコン膜が断線するという問題点を回避することができる。

【0073】次に、図17～図19を参照して、実施の形態2によるメモリセル部の製造プロセスを説明する。この実施の形態2によるメモリセル部の製造プロセスでは、まず、図7～図14に示した実施の形態1による製造プロセスと同様のプロセスを行なう。この後、図17および図18に示すように、全面に200～1000Å程度の厚みを有する SiO_2 膜20を堆積する。この後、 SiO_2 膜20上の所定領域にフォトリソグラフィ技術を用いて所定形状にパターニングされた図19に示すようなフォトレジスト21を形成する。フォトレジスト21をマスクとして、RIE法を用いて SiO_2 膜20をドライエッチングすることによって、図19に示されるようなパターニングされた SiO_2 膜20を形成する。この後フォトレジスト21を除去する。

【0074】そして、上記した実施の形態1と同様、図21に示すように、誘電体膜12を設ける。その誘電体膜12上に第3層目の多結晶シリコン膜を形成した後パターニングを行なう。これにより、GND配線14bとビット線コンタクトパッド14aとを形成する。このビット線コンタクトパッド14aとGND配線14bとをパターニングする際のエッチング時に、上述したように、 SiO_2 膜20と誘電体膜12との2つの膜がエッチングストップ膜となる。これにより、誘電体膜12のみがエッチングストップ膜となる実施の形態1の場合と比べて、エッチングストップ膜が消失しにくい。その結果、第2層目の多結晶シリコン膜を構成する V_{cc} 配線11eおよび11fが断線するのを有効に防止することができる。

【0075】（実施の形態3）図22は実施の形態3によるメモリセル部の製造プロセスを説明するための平面レイアウト図であり、図23は図22の100-100線に沿った断面図である。図24は、本発明の実施の形態3によるSRAMのメモリセル部の平面レイアウト図であり、図25は図24の100-100線に沿った断面図である。まず、図24および図25を参照して、この実施の形態3による構造について説明する。この実施の形態3では、実施の形態2と同様、 V_{cc} 配線11eおよび11fを覆うように SiO_2 膜20が形成されている。また、この実施の形態3では、第2層目の多結晶シリコン膜を構成する記憶ノード部11cおよび高抵抗部11aの上面および側面ならびに下面に沿って誘電体膜12を介してGND配線240bが形成されている。こ

れにより、記憶ノード部11aと、誘電体膜12と、GND配線240bとによって構成されるキャパシタの表面積を実施の形態1および2に比べて増加させることができる。その結果、記憶ノード容量をより増加させることができ、それによりソフトエラー耐性をより向上させることができる。また、上記した実施の形態2と同様、 SiO_2 膜20が設けられているので、第3層目の多結晶シリコン膜であるGND配線240bをパターニングする際にオーバエッチングしたとしても、下層の V_{cc} 配線11eおよび11fの表面が露出されて断線するという不都合も生じない。

【0076】次に、図22および図23を参照して、実施の形態3による製造プロセスについて説明する。実施の形態3による製造プロセスとしては、まず、図18および図19に示した実施の形態2による製造プロセスと同様のプロセスを行なう。この後、図22および図23に示すように、フォトレジスト21をマスクとして、たとえばフッ酸(HF)を用いて SiO_2 膜20と、 SiO_2 膜からなる層間絶縁膜9とを選択的に除去する。これにより、層間絶縁膜9に凹部9aおよび9bを形成することにより、第2層目の多結晶シリコン膜を構成する記憶ノード部11cおよび高抵抗部11aの側面と底面とを露出させる。この後フォトレジスト21を除去する。この後、上記した実施の形態1および2と同様のプロセスを経ることによって図25に示されるような実施の形態3による構造が完成される。この場合、誘電体膜12およびGND配線240bは、上記露出された記憶ノード部11cおよび高抵抗部11aの側面と下面と上面とに沿って形成されるので、記憶ノード部11cの記憶容量を著しく増加させることができる。

【0077】（実施の形態4）図26および図28と、図27および図29とは、実施の形態4による製造プロセスを説明するための平面レイアウト図および断面図である。図30は、本発明の実施の形態4によるSRAMのメモリセル部の平面レイアウト図であり、図31は図30の100-100線に沿った断面図である。まず、図30および図31を参照して、この実施の形態4の構造では、第3層目の多結晶シリコン膜を2層構造に構成する。この2層膜をパターニングすることによって、多結晶シリコン膜140aと多結晶シリコン膜14aとからなるビット線コンタクトパッドと、多結晶シリコン膜140bと多結晶シリコン膜14bとからなるGND配線とが形成される。このように第3層目の多結晶シリコン膜を2層構造に構成することによって、第3層目の多結晶シリコン膜の上層を形成する前に、コンタクトホール13aおよび13c内の N^+ 型ソース/ドレイン領域8aおよび8dの表面に形成される自然酸化膜を除去する際に、誘電体膜12が第3層目の多結晶シリコン膜の下層によって保護される。このため、第3層目の多結晶シリコン膜の上層を堆積する前のフッ酸(HF)などの

自然酸化膜除去プロセスによって誘電体膜12が膜減りするのを防止することができる。これにより、第3層目の多結晶シリコン膜をパターンニングする際にエッチングストップ膜が消失して第2層目の多結晶シリコン膜が断線するという不都合を防止することができる。これと同時に、誘電体膜12の膜厚を安定して形成することができるので、記憶ノード容量を安定して形成することができる。

【0078】次に、図26～図29を参照して、実施の形態4による製造プロセスを説明する。実施の形態4による製造プロセスとしては、まず、図13および図14に示した実施の形態1と同様のプロセスを用いてまず図14に示す工程までを行なう。その後、図26および図27に示すように、誘電体膜12を形成する。誘電体膜12上に、第3層目の多結晶シリコン膜の下層となる、 $100\sim500\text{\AA}$ 程度の膜厚と、 $1.0\sim8.0\times10^{20}\text{cm}^{-3}$ 程度のリン濃度とを有するリンドーフト多結晶シリコン膜140を形成する。リンドーフト多結晶シリコン膜140上の所定領域に、フォトリソグラフィ技術を用いてフォトレジスト22を形成する。

【0079】フォトレジスト22をマスクとして、たとえばRIE法を用いてリンドーフト多結晶シリコン膜140、誘電体膜12および SiO_2 膜からなる層間絶縁膜9を連続的にエッチングする。これにより、図28および図29に示されるような、ビット線直接コンタクトホール13a、13bと、GND直接コンタクトホール13cおよび13dを形成する。さらに、コンタクトホール13a～13dの表面に形成された自然酸化膜を、フッ酸(HF)などを用いて除去した後、全面に、リンドーフト多結晶シリコン膜14を堆積する。このリンドーフト多結晶シリコン膜14は、 $1000\sim2000\text{\AA}$ 程度の厚みで、 $1.0\sim8.0\times10^{20}\text{cm}^{-3}$ 程度のリン濃度を有するように形成する。このように、リンドーフト多結晶シリコン膜14の堆積前のフッ酸(HF)などの自然酸化膜除去プロセスにおいて、誘電体膜12がリンドーフト多結晶シリコン膜140によって覆われているため、フッ酸(HF)などによって誘電体膜12の膜厚が減少するという不都合が生じない。このため、上記のように、誘電体膜12の膜減りに起因して下層の第2層目の多結晶シリコン膜が断線するという不都合も生じないとともに誘電体膜12の膜厚を安定して形成することができる。

【0080】この後、図29に示すように、リンドーフト多結晶シリコン膜14上の所定領域にフォトレジスト23を形成する。フォトレジスト23をマスクとして、リンドーフト多結晶シリコン膜14および140をパターンニングすることによって、図31に示されるような、リンドーフト多結晶シリコン膜140aおよび14aからなるビット線コンタクトパッドと、リンドーフト多結晶シリコン膜14bおよび140bからなるGND配線

とが形成される。これ以降は、上述した実施の形態1と同様のプロセスを用いて、図30および図31に示されるような実施の形態4によるメモリセル部が完成される。

【0081】(実施の形態5)図32～図35は、本発明の実施の形態5によるメモリセル部の製造プロセスを説明するための平面図および断面図である。図36は、実施の形態5によるSRAMのメモリセル部の平面レイアウト図であり、図37は図36の100-100線に沿った断面図である。まず、図36および図37を参照して、この実施の形態5によるメモリセル部の構造では、記憶ノード部および V_{cc} 配線部を、2層構造に形成している。具体的には、記憶ノード部は、 $500\sim1000\text{\AA}$ 程度の膜厚を有するリンドーフト多結晶シリコン膜24cと、その上の $200\sim1000\text{\AA}$ 程度の膜厚を有する多結晶シリコン膜11cとからなる。また、 V_{cc} 配線は、リンドーフト多結晶シリコン膜24a、24bと、その上の多結晶シリコン膜11f、11eとからなる。リンドーフト多結晶シリコン膜24cと多結晶シリコン膜11cとから構成される記憶ノード部の上部表面および側部表面を覆うようにGND配線14bが形成されている。このため、記憶ノード部が多結晶シリコン膜11cのみの場合と比べて、記憶ノード部の側壁部分に形成されるキャパシタの長さが長くなる。それにより、記憶ノード部のキャパシタ容量を増加させることができる。

【0082】この実施の形態5によるメモリセル部の製造方法としては、実施の形態1の図11および図12に示した製造プロセスと同様のプロセスを経た後、図32および図33に示すように、コンタクトホール10aおよび10bを設ける。この後、フッ酸(HF)などによる自然酸化膜の除去を行なう。そして、LPCVD法を用いて、第2層目の多結晶シリコン膜となる $500\sim1000\text{\AA}$ 程度の厚みと、 $1.0\sim8.0\times10^{20}\text{cm}^{-3}$ 程度のリン濃度とを有するリンドーフト多結晶シリコン膜を堆積する。そしてその多結晶シリコン膜をフォトリソグラフィ技術とRIE法とを用いて、パターンニングすることによって、 V_{cc} 配線24aおよび24bと、記憶ノード接続配線24cおよび24dとを形成する。

【0083】この後、フッ酸(HF)などによって自然酸化膜の除去を行なった後、LPCVD法を用いて第3層目の多結晶シリコン膜を $200\sim1000\text{\AA}$ 程度の厚みで堆積する。この後、その第3層目の多結晶シリコン膜上の所定領域に図35に示されるようなフォトレジスト25を形成した後、そのフォトレジスト25をマスクとして第3の多結晶シリコン膜をRIE法を用いてエッチングする。これにより、図35に示されるようなパターンニングされた第3層目の多結晶シリコン膜11が形成される。フォトレジスト25を除去した後、上述した実施の形態1と同様のプロセスを経て、図37に示される

ような実施の形態5によるメモリセル部が完成される。

【0084】このように、実施の形態5では、記憶ノード部の膜厚が、第2層目の多結晶シリコン膜からなる記憶ノード接続配線24c、24dと、第3層目の多結晶シリコン膜からなる記憶ノード接続部11c、11dとの和になるため、記憶ノード部と誘電体膜12とGND配線14bとによって形成されるキャパシタの表面積が記憶ノード接続配線24cおよび24dの膜厚分増加する。これにより、記憶ノード部の容量をより増加させることができる。また、 V_{cc} 配線の膜厚が、 V_{cc} 配線24aおよび24bと、 V_{cc} 配線部11eおよび11fとの和になるため、配線抵抗を低減することができるという効果も奏する。

【0085】なお、この実施の形態5では、コンタクトホール10aおよび10bの直径は、記憶ノード接続配線24c、24dの膜厚と、記憶ノード接続部11cの膜厚との2倍よりも大きく、かつ、記憶ノード接続配線24c、24dの膜厚と、記憶ノード接続部11a、11cの膜厚と誘電体膜12の膜厚とGND配線14bの膜厚との和の2倍よりも小さくするのが好ましい。このように、コンタクトホール10a、10bの直径を、記憶ノード接続配線24c、24dの膜厚と記憶ノード部11a、11cの膜厚との和の2倍よりも大きくすることによって、コンタクトホール10a、10bの内壁部に沿って記憶ノード接続部11c、11dと誘電体膜12とが形成される。これにより、記憶ノード接続部11cと誘電体膜12とGND配線14bとによって構成されるキャパシタの容量を著しく増加させることができる。また、記憶ノード接続配線24c、24dの膜厚と、記憶ノード接続部11c、11dの膜厚と、誘電体膜12の膜厚と、GND配線14bの膜厚との和の2倍よりも小さくなるように、コンタクトホール10a、10bの直径を設定することにより、GND配線14bを形成した場合にGND配線14bでコンタクトホール10a、10bを充填することができる。これにより、GND配線14bの表面が平坦化され、その結果、たとえば上層のビット線18a、18bのパターニングが容易となる。

【0086】また、GND直接コンタクトホール13c、13dの直径は、GND配線14bの膜厚の2倍よりも小さくすることが好ましい。このようにすることによって、GND直接コンタクトホール13c、13dをGND配線14bによって充填することができるので、GND配線14bの表面の平坦性が向上する。これにより、上層のたとえばビット線18a、18bのパターニングしやすいという効果が得られる。

【0087】また、記憶ノード接続配線24c、24dを構成する第2層目の多結晶シリコン膜の膜厚は厚くする方が好ましい。このように第2層目の多結晶シリコン膜の膜厚を厚くすることによって、その膜厚が厚くなっ

ただけ記憶ノードの容量を増加させることができる。

【0088】（実施の形態6）図38～図40は、実施の形態6によるメモリセル部の製造プロセスを説明するための平面レイアウト図および断面図である。図41は、本発明の実施の形態6によるSRAMのメモリセル部を示した平面レイアウト図であり、図42は図41の100-100線に沿った断面図である。まず、図41および図42を参照して、実施の形態6によるメモリセル部の構造としては、上述した実施の形態5の構造に、実施の形態2の SiO_2 膜20を適用した構造を有する。したがって、この実施の形態6では、実施の形態2と実施の形態5の両方の効果を得ることができる。

【0089】この実施の形態6の製造プロセスとしては、図32～図35に示した実施の形態5のプロセスと同様のプロセスを行なう。この後、図39に示すように、全面に200～1000Å程度の膜厚を有する SiO_2 膜20を堆積する。この SiO_2 膜20上の所定領域にフォトリソグラフィ技術を用いて図40に示すようなフォトレジスト21を形成した後、そのフォトレジスト21をマスクとしてRIE法を用いて SiO_2 膜20の一部を選択的に除去する。これにより、図40に示されるようなパターニングされた SiO_2 膜20が形成される。この後フォトレジスト21を除去する。そして、実施の形態5と同様のプロセスを経て図42に示されるような実施の形態6によるメモリセル構造が完成される。

【0090】この実施の形態6では、 SiO_2 膜20と誘電体膜12との両方がGND配線14bの形成時のエッチングストップとなる。このため、GND配線14bの形成時にオーバエッチングを行なったとしても、エッチングストップ膜が消失して下層の V_{cc} 配線11fが断線するなどの不都合を有効に防止することができるという実施の形態2と同様の効果を得ることができる。

【0091】（実施の形態7）図43は実施の形態3によるメモリセル部の製造プロセスを説明するための平面レイアウト図であり、図44は図43の100-100線に沿った断面図である。図45は、本発明の実施の形態7によるSRAMのメモリセル部を示した平面レイアウト図であり、図46は図45の100-100線に沿った断面図である。まず、図45および図46を参照して、この実施の形態7による構造では、上記した実施の形態5による構造に実施の形態3の構造を適用した例である。具体的には、記憶ノード部を、記憶ノード接続配線24cと記憶ノード部11cとの2層構造で形成するとともに、記憶ノード部の上面と側面のみならず下面にも誘電体膜12を形成する。このように構成することによって、記憶ノード部の記憶容量をより増加させることができ、それによりソフトエラー耐性をより向上させることができる。

【0092】この実施の形態7によるメモリセル部の製

【0098】次に、図55および図56に示すように、100～500Å程度の厚みでSiO₂膜50を形成した後、そのSiO₂膜50のうち記憶ノード接続配線24c、24d上の所定領域のみ除去する。この後、フッ

酸(HF)などを用いて記憶ノード接続配線24cの上部表面の自然酸化膜を除去する。そして、第3層目の多結晶シリコン膜をLPCVD法を用いて200~1000Å程度の厚みで堆積した後、その第3層目の多結晶シリコン膜上の所定領域にフォトレジスト25を形成する。フォトレジスト25をマスクとして、第3層目の多結晶シリコン膜をRIE法を用いてドライエッチングすることによって、図56に示されるようなパターンニングされた多結晶シリコン膜11(11a~11f)が形成される。この後フォトレジスト25を除去する。そして、上記した実施の形態5と同様のプロセスを経て、図57および図58に示されるような実施の形態9によるメモリセル部が完成される。

【0099】なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した実施の形態の説明ではなく特許請求の範囲によって示され、さらに特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれる。たとえば、上記した実施の形態1~9のいずれかを組合せてもよい。

【0100】

【発明の効果】以上のように、請求項1~18に記載の発明によれば、記憶ノード部の容量を従来に比べて著しく増加させることができる。これにより、メモリセルサイズが縮小化された場合にも、ソフトエラー耐性を著しく向上させることができる。これと同時に、袋小路状の閉じたパターンになることなく連続した抜きパターンとすることができ、その結果、たとえば高抵抗配線部を設計寸法どおりに細く形成することができ、それにより、高抵抗配線部の幅が部分的に太くなった場合に記憶ノード部の表面積が減少して記憶ノード容量が低下するという不都合も防止することができる。さらに、メモリセルを形成する左右のインバータのバランスが良くなり、それにより記憶保持特性が安定化するという効果も奏する。

【図面の簡単な説明】

【図1】 本発明の実施の形態1によるSRAMのメモリセル部の平面レイアウト図である。

【図2】 図1に示したメモリセル部の100-100線に沿った断面図である。

【図3】 図1および図2に示した実施の形態1によるメモリセル部を16個配列した場合の平面レイアウト図である。

【図4】 図1および図2に示した実施の形態1によるメモリセル部を16個配列した場合の平面レイアウト図である。

【図5】 図1および図2に示したメモリセル部を同一レイアウトで2個配列した場合の第2層目の多結晶シリコン膜と活性領域とを示した平面レイアウト図である。

【図6】 図1および図2に示したメモリセル部を同一

レイアウトで2個配列した場合の第2層目の多結晶シリコン膜を示した平面レイアウト図である。

【図7】 本発明の実施の形態1によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図8】 図7に示したメモリセル部の100-100線に沿った断面図である。

【図9】 本発明の実施の形態1によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図10】 図9に示したメモリセル部の100-100線に沿った断面図である。

【図11】 本発明の実施の形態1によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図12】 図11に示したメモリセル部の100-100線に沿った断面図である。

【図13】 本発明の実施の形態1によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図14】 図13に示したメモリセル部の100-100線に沿った断面図である。

【図15】 本発明の実施の形態1によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図16】 図15に示したメモリセル部の100-100線に沿った断面図である。

【図17】 本発明の実施の形態2によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図18】 図17に示したメモリセル部の100-100線に沿った断面図である。

【図19】 図17に示したメモリセル部の100-100線に沿った断面図である。

【図20】 本発明の実施の形態2によるSRAMのメモリセル部を示した平面レイアウト図である。

【図21】 図20に示したメモリセル部の100-100線に沿った断面図である。

【図22】 本発明の実施の形態3によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図23】 図22に示したメモリセル部の100-100線に沿った断面図である。

【図24】 本発明の実施の形態3によるSRAMのメモリセル部を示した平面レイアウト図である。

【図25】 図24に示したメモリセル部の100-100線に沿った断面図である。

【図26】 本発明の実施の形態4によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図27】 図26に示したメモリセル部の100-100線に沿った断面図である。

【図28】 本発明の実施の形態4によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図29】 図28に示したメモリセル部の100-100線に沿った断面図である。

【図30】 本発明の実施の形態4によるSRAMのメモリセル部を示した平面レイアウト図である。

【図31】 図30に示したメモリセル部の100-100線に沿った断面図である。

【図32】 本発明の実施の形態5によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図33】 図32に示したメモリセル部の100-100線に沿った断面図である。

【図34】 本発明の実施の形態5によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図35】 図34に示したメモリセル部の100-100線に沿った断面図である。

【図36】 本発明の実施の形態5によるSRAMのメモリセル部の平面レイアウト図である。

【図37】 図36に示したメモリセル部の100-100線に沿った断面図である。

【図38】 本発明の実施の形態6によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図39】 図38に示したメモリセル部の100-100線に沿った断面図である。

【図40】 図38に示したメモリセル部の100-100線に沿った断面図である。

【図41】 本発明の実施の形態6によるSRAMのメモリセル部を示した平面レイアウト図である。

【図42】 図41に示したメモリセル部の100-100線に沿った断面図である。

【図43】 本発明の実施の形態7によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図44】 図43に示したメモリセル部の100-100線に沿った断面図である。

【図45】 本発明の実施の形態7によるSRAMのメモリセル部を示した平面レイアウト図である。

【図46】 図45に示した実施の形態7によるメモリセル部の100-100線に沿った断面図である。

【図47】 本発明の実施の形態8によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図48】 図47に示したメモリセル部の100-100線に沿った断面図である。

【図49】 本発明の実施の形態8によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図50】 図49に示したメモリセル部の100-100線に沿った断面図である。

【図51】 本発明の実施の形態8によるSRAMのメモリセル部を示した平面レイアウト図である。

【図52】 図51に示したメモリセル部の100-100線に沿った断面図である。

【図53】 本発明の実施の形態9によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図54】 図53に示したメモリセル部の100-100線に沿った断面図である。

【図55】 本発明の実施の形態9によるSRAMのメモリセル部の製造プロセスを説明するための平面レイアウト図である。

【図56】 図55に示したメモリセル部の100-100線に沿った断面図である。

【図57】 本発明の実施の形態9によるSRAMのメモリセル部を示した平面レイアウト図である。

【図58】 図57に示したメモリセル部の100-100線に沿った断面図である。

【図59】 従来のSRAMのメモリセル部を示す等価回路図である。

【図60】 従来のSRAMのメモリセル部の第1層目の多結晶シリコン膜と活性領域とを示した平面レイアウト図である。

【図61】 図60に示した従来のメモリセルを線対称に配置した場合の平面レイアウト図である。

【図62】 従来のメモリセル部を線対称に配置した場合の第2層目の多結晶シリコン膜を示した平面レイアウト図である。

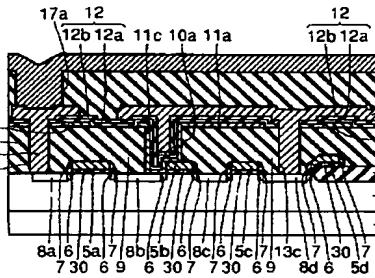
【符号の説明】

1 N⁺型シリコン基板、5a、5b ワード線、5b、5c ゲート電極、8a～8d N⁺型ソース／ドレイン領域、11a、11b 高抵抗部、11c、11d 記憶ノード部、11e、11f V_{cc}配線部、12 誘電体膜、14a ビット線コンタクトパッド、14b GND配線、18a、18b ビット線。

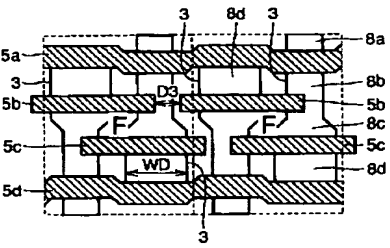
【図1】



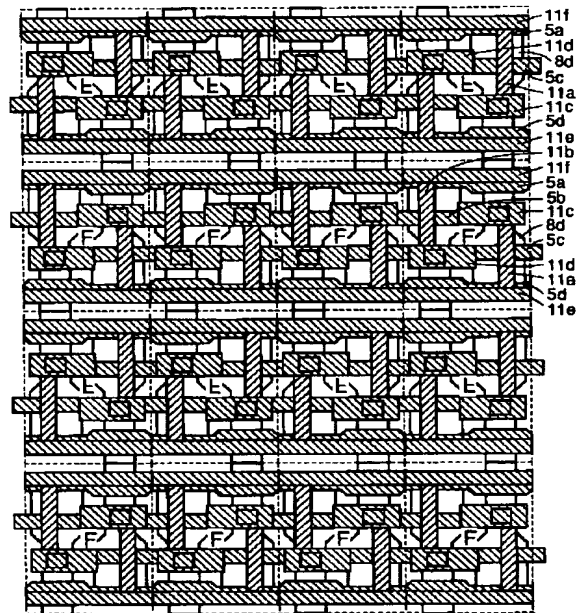
【图2】



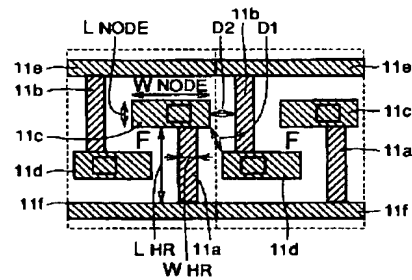
【図5】



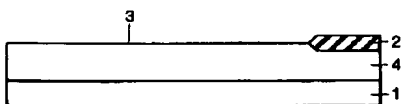
【図4】



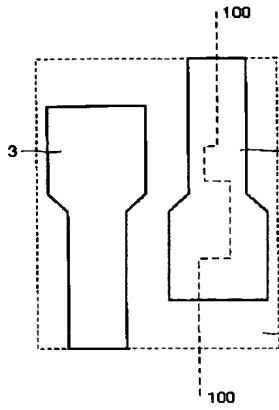
【図6】



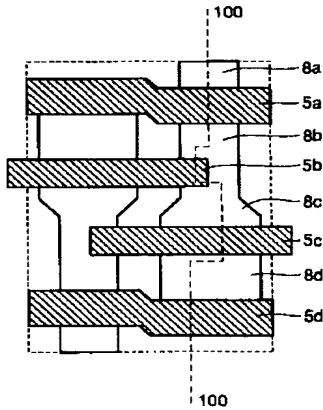
【図8】



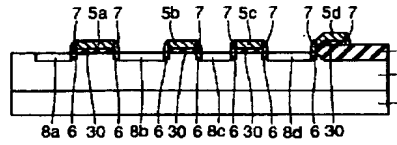
【図7】



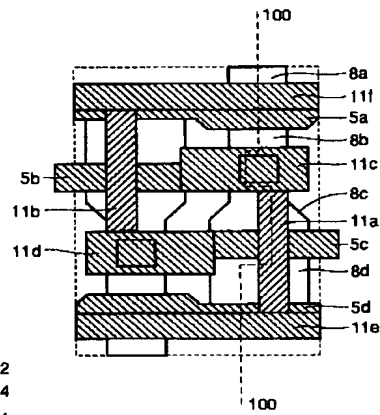
【図9】



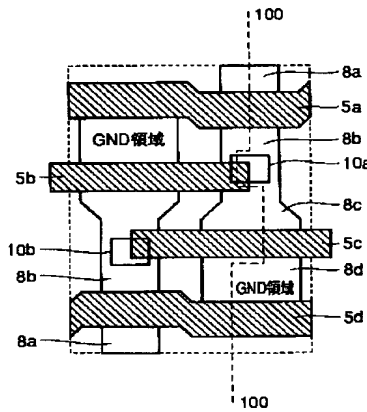
【図10】



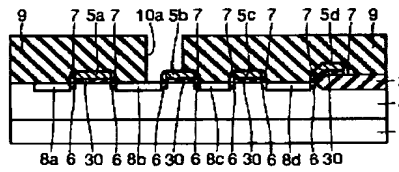
【図13】



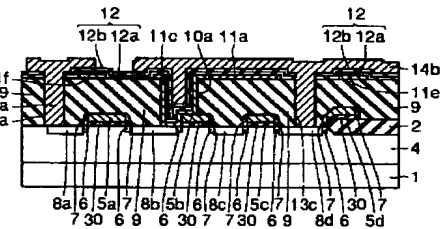
【図11】



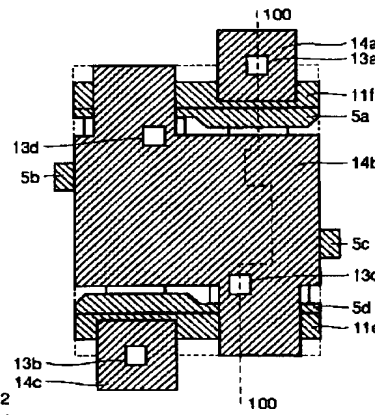
【図12】



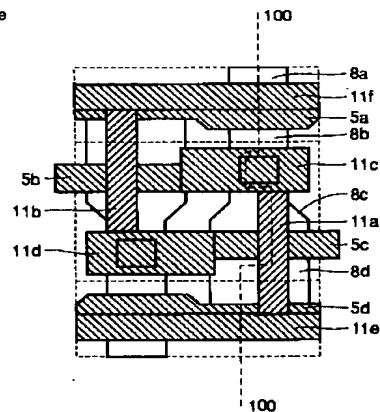
【図16】



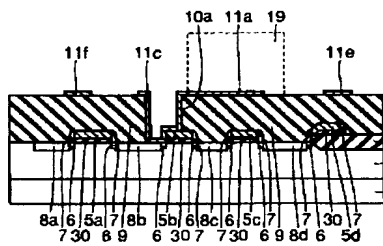
【図15】



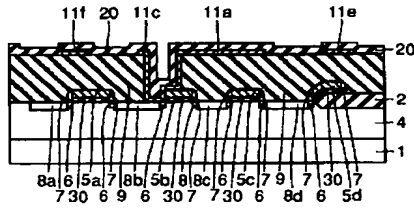
【図17】



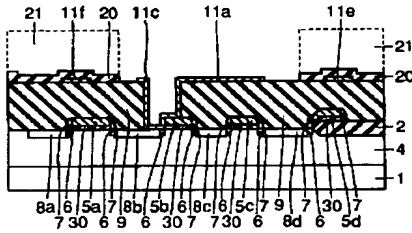
【図14】



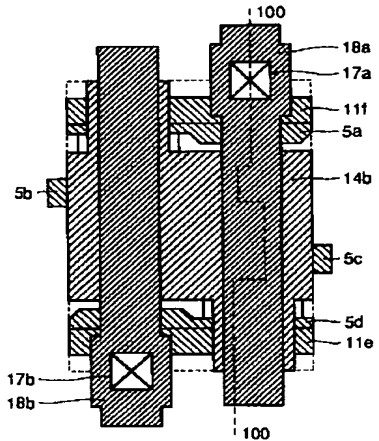
【図18】



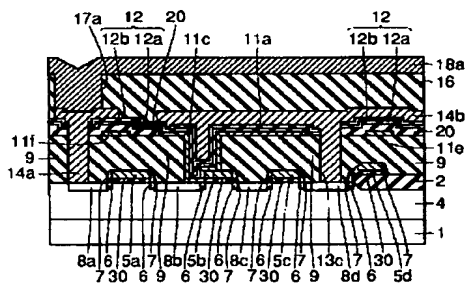
【図 19】



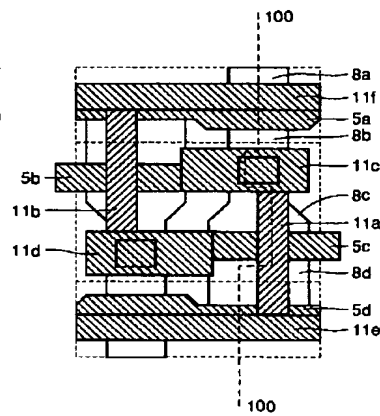
【図20】



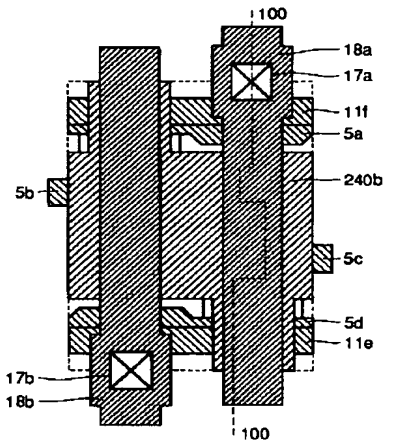
【図 2 1】



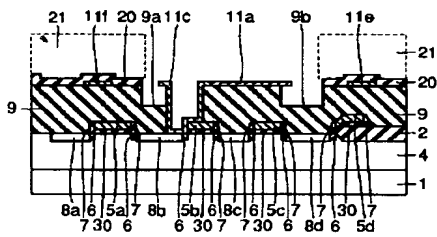
【図22】



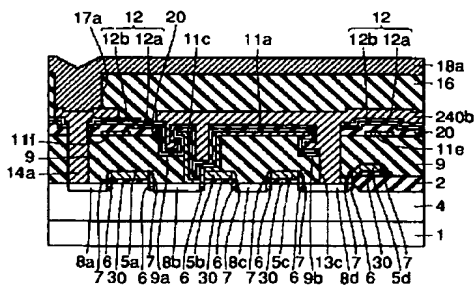
【図24】



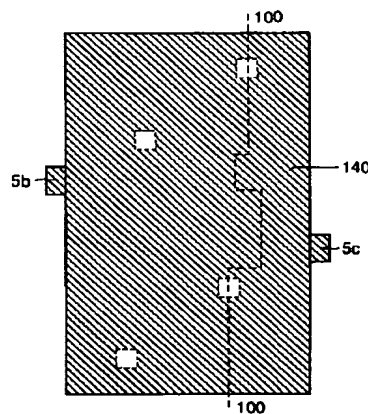
【图23】



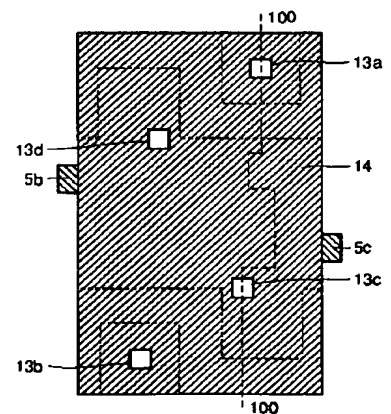
【図25】



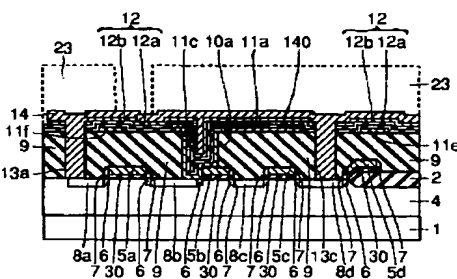
【图26】



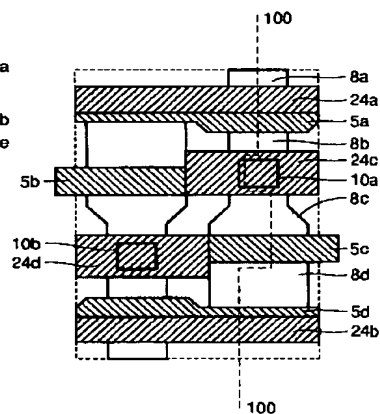
【图28】



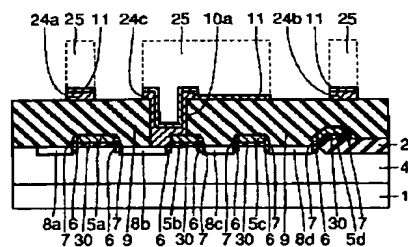
【图29】



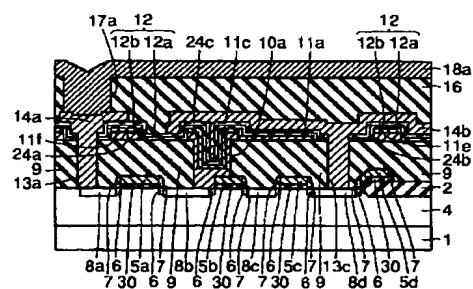
【图32】



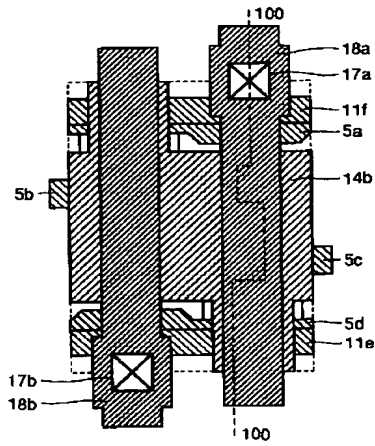
【図35】



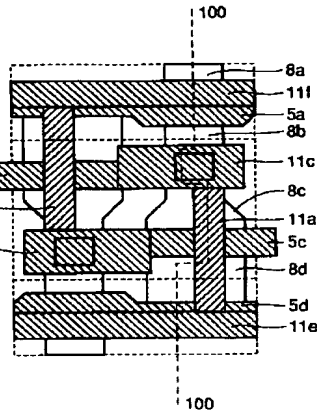
【図37】



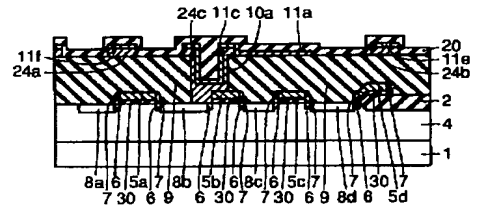
【図36】



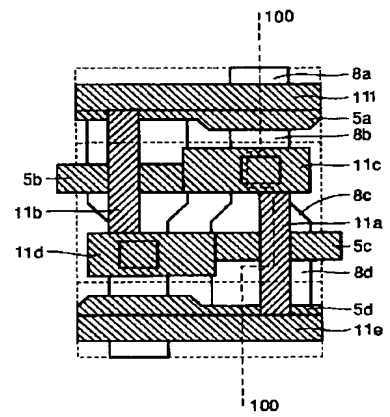
【図38】



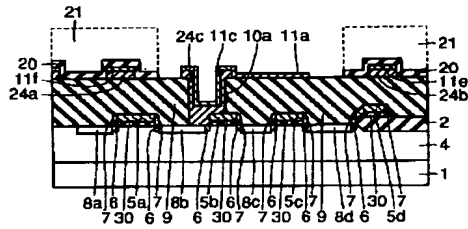
【図39】



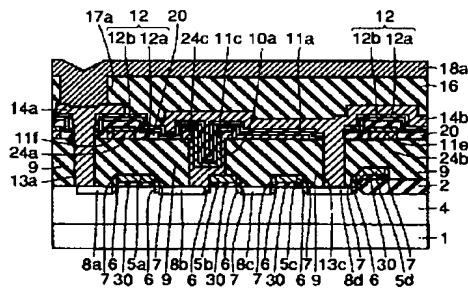
【図43】



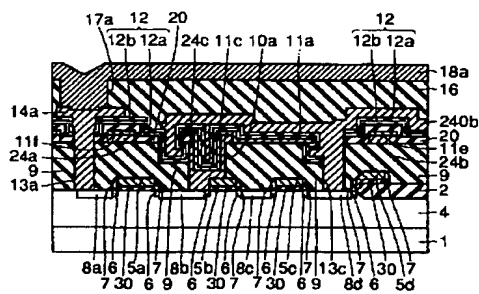
【図40】



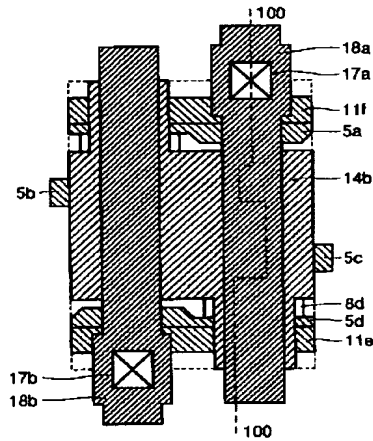
【図42】



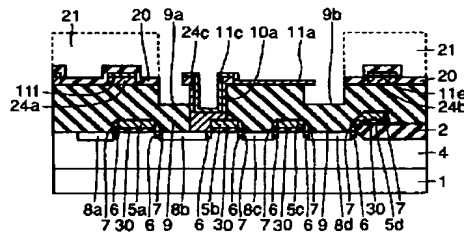
【図46】



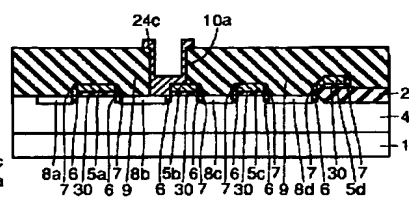
【図41】



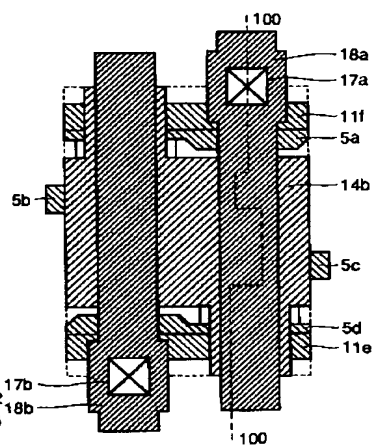
【図44】



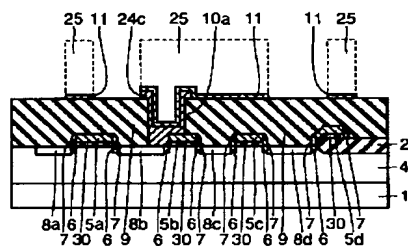
【図48】



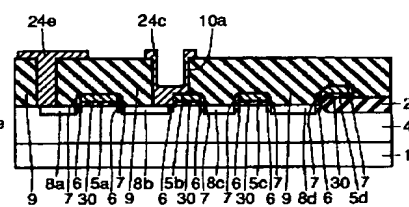
【図5 1】



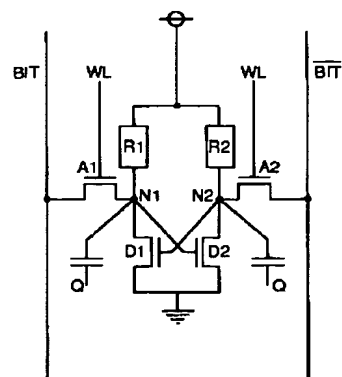
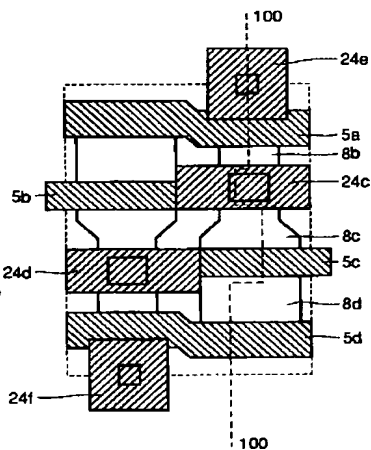
【図54】



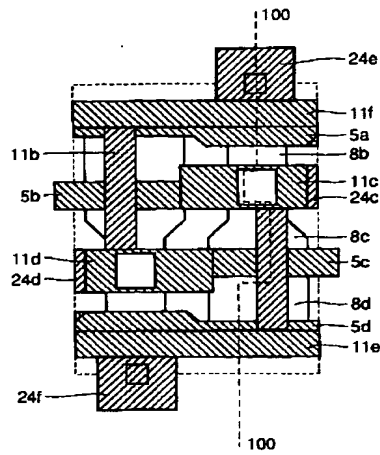
【図53】



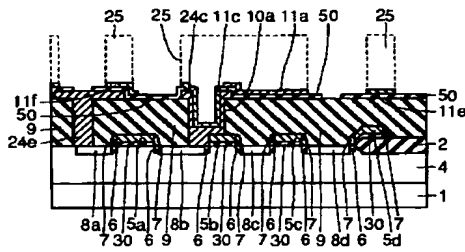
【图59】



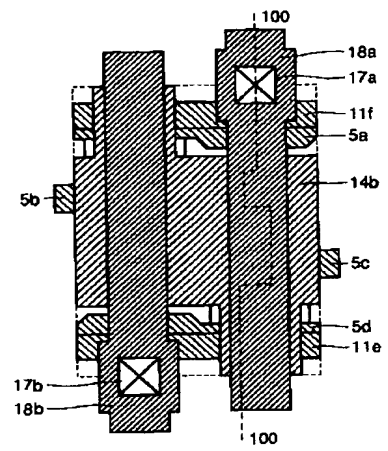
【図55】



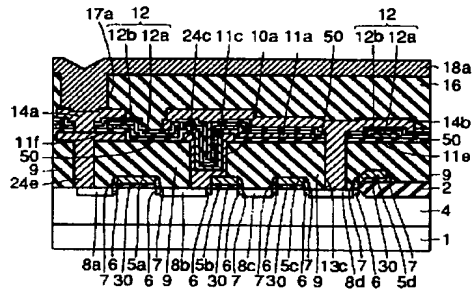
【図56】



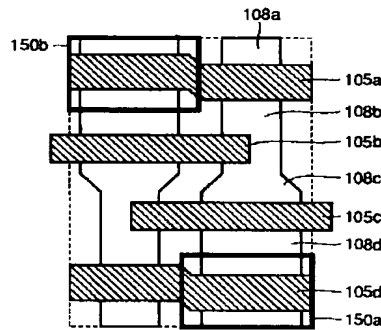
【図57】



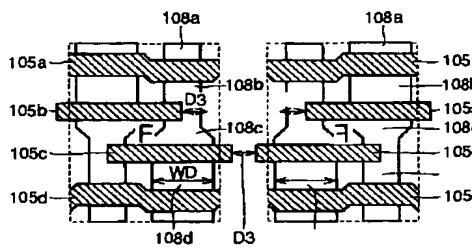
【図58】



【図60】



【図61】



【図62】

